

Electrónica 1

Práctico 10 Familias Lógicas

Los ejercicios marcados con ★ son opcionales. Además cada ejercicio puede tener un número, que indica el número de ejercicio del libro del curso (*Microelectronic Circuits, 4th. edition. Sedra/Smith.*) o una fecha, que indica en que prueba (examen o parcial) se planteó el ejercicio.

Objetivo: El objetivo general del presente práctico es aplicar los conceptos vistos en teórico, referentes a las características de las familias lógicas CMOS y TTL y su interconexión, para lograr su completa comprensión.

Ejercicio 1.

En este problema se muestran tres técnicas aplicadas a la implementación de compuertas lógicas en tecnología CMOS.

Hallar la función realizada por los circuitos de la figura:

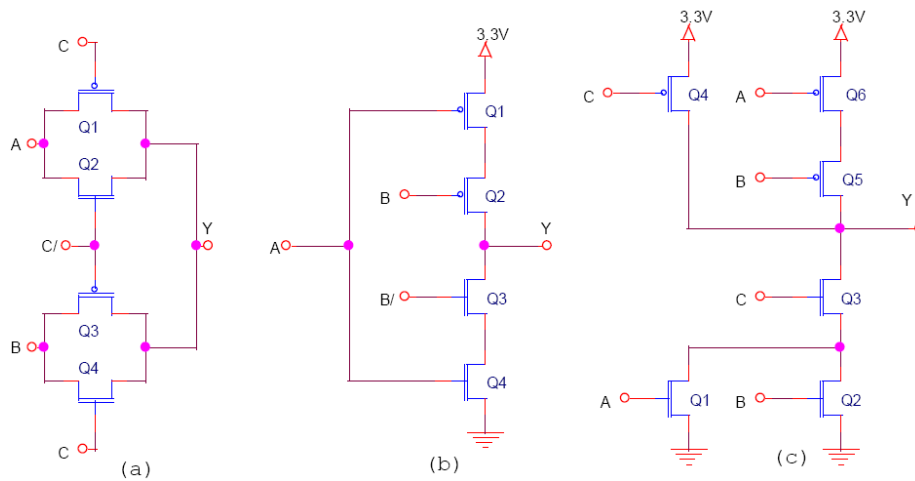


Figura 1

Ejercicio 2.

Para un inversor CMOS que tiene $(\mu \cdot Cox \cdot (W/L))_n = (\mu \cdot Cox \cdot (W/L))_p = 100 \mu A/V^2$, $V_{tn} = |V_{tp}| = 0.8V$, $V_{DD} = 3.3V$ y $\lambda_n = \lambda_p = 0.03V^{-1}$ (parámetro que modela el efecto de la modulación de largo de canal, equivalente al inverso de la tensión

de Early) encontrar: V_{OH} , V_{OL} , V_{IH} , V_{IL} , N_{MH} , N_{ML} , V_c (punto de conmutación) y ganancia de tensión en el punto V_c .

Para simplificar el análisis, se sugiere considerar los efectos de la modulación de largo de canal solo cuando ello es indispensable para obtener un resultado (es decir en la zona en que ambos transistores están saturados)

Ejercicio 3. (Segundo Parcial 2000)

- (a) Indicar como varía en una compuerta CMOS:
- i - El retardo t_P con la tensión de alimentación (V_{DD}).
 - ii - El consumo dinámico P con la tensión de alimentación (V_{DD}) y la frecuencia de operación f .
- (b) Las figuras 3.1 y 3.2 muestran un mecanismo para reducir el consumo en circuitos integrados CMOS a expensas de aumentar la complejidad del circuito. Se tiene un circuito CMOS (figura 3.1) que procesa datos a una frecuencia f_1 y consume una potencia P_1 , estando alimentado con una tensión V_{DD1} . Este circuito se sustituye por el de la figura 3.2, en que los bloques A y B son idénticos al bloque original (1) de la figura 3.1. En el circuito de la figura 3.2 los bloques A y B se alternan en el procesamiento de los datos, operando cada uno a una frecuencia $f_1/2$. Considerando solo la potencia debida al consumo dinámico (no se considera potencia estática ni consumo debido a camino directo V_{DD} - V_{SS}), indicar:
- b.1) Cuánto se puede reducir la tensión de alimentación V_{DD2} respecto a V_{DD1} , asegurando que la relación entre retardo y período del circuito se conserve.
 - b.2) Para la reducción máxima de V_{DD2} respecto a V_{DD1} , calcular la relación P_2/P_1 , siendo P_2 la potencia total consumida por el circuito de la figura 2. Se desprecia el consumo del multiplexor.

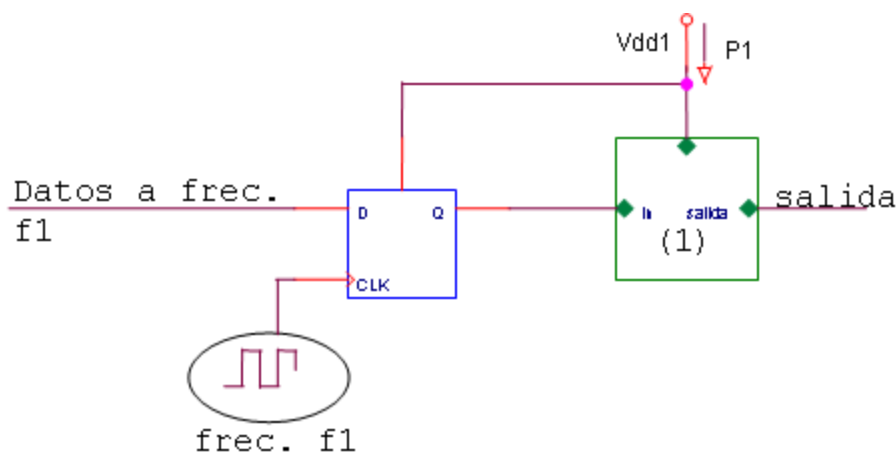


Figura 3.1

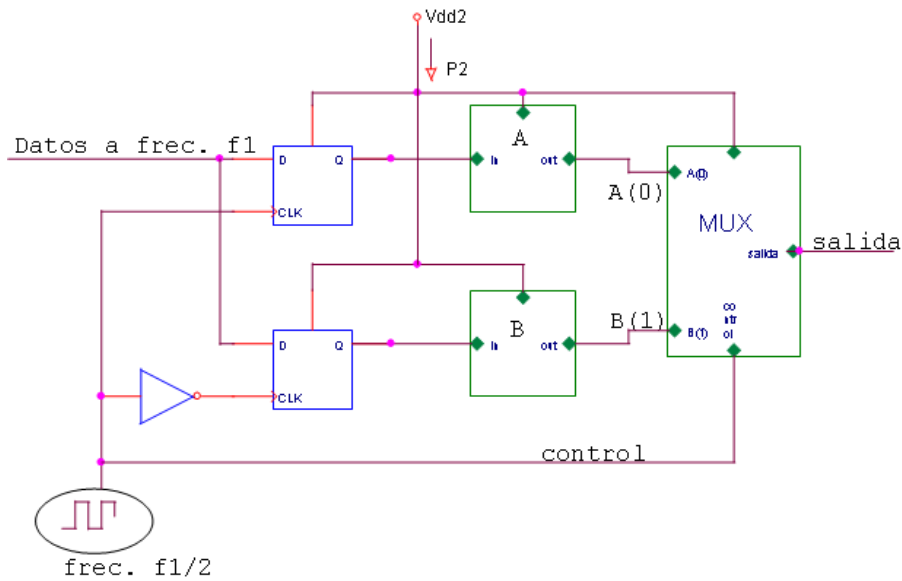


Figura 3.2

Ejercicio 4. (Segundo Parcial 2001)

Un circuito digital CMOS tienen consumo estático despreciable y consumo dinámico de 12mW a una frecuencia de 60MHz con una fuente de alimentación de 5V

- (a) ¿Cuál sería el nuevo consumo si se pudiera operar a la misma frecuencia con una fuente de alimentación de 3.3V?
- (b) ¿Si la frecuencia de 60MHz es la máxima alcanzable a 5V dados los retardos del circuito, cuál sería la máxima frecuencia alcanzable si se alimenta con 3.3V y que consumo se tendría operando a esta frecuencia?

Ejercicio 5.

Este ejercicio analiza algunos de los problemas que se pueden presentar cuando se conectan compuertas lógicas de diferentes familias y como se solucionan los mismos

Se desea conectar la salida de una compuerta TTL LS a una compuerta CMOS de la serie HC, ambas alimentadas de 5V.

- (a) En el caso en que la conexión se haga directamente, determinar a partir de los datos del fabricante los niveles lógicos resultantes en el peor caso y analizar si son compatibles con los niveles de entrada de la compuerta HC.¿Cómo afectan el consumo de la compuerta CMOS estos niveles de entrada?
- (b) Analizar la zona de operación de los dispositivos que componen un inversor TTL y determinar la tensión a la salida, en el caso que tiene como única

carga una resistencia de “pull-up” (conectada a V_{cc}) de 4.7K y la entrada es 0V

- (c) Mostrar como utilizando el resultado de la parte b) se puede implementar una interface entre compuertas TTL y CMOS. ¿Que efecto tiene sobre el consumo la presencia de la resistencia de “pull-up”?

Ejercicio 6. ★

- (a) En un circuito lógico implementado con compuertas NAND, cargadas con compuertas iguales, se tiene que las compuertas conmutan su salida a 1Mhz. El circuito se alimenta con 5V. Comparar el retardo típico en las compuertas y una estimación del consumo máximo debido a cada compuerta si están implementadas en lógica CMOS serie 4000, CMOS HC, CMOS AC y TTL LS.
- (b) Si en los circuitos CMOS se reduce la tensión de alimentación a 3.3V, ¿cómo cambiará aproximadamente el consumo y el retardo?

Ejercicio 7. ★

Cinco inversores se conectan como en la figura. Las especificaciones para los inversores en cuestión indican un retardo $t_{PHL} = 3ns$ y un retardo $t_{PLH} = 7ns$. Asumir que en el estado inicial una de las entradas es sometida a una transición L-H. Graficar las salidas de las 5 compuertas y teniendo en cuenta sus posiciones relativas mostrar que el circuito funciona como un oscilador. ¿Cuál es la frecuencia de este oscilador de anillo?

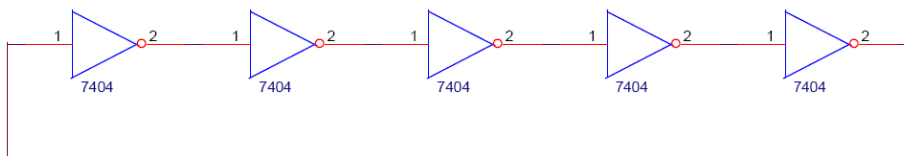


Figura 7

Ejercicio 8.

Se utiliza una compuerta con salida “open-drain”, para llevar la salida de un circuito lógico alimentado con 5V a un circuito alimentado con 3.3V. Determinar el mínimo valor de la resistencia de “pull-up” que asegure que el consumo con la salida en nivel 0 no supere 1mA. Despreciando el retardo interno de la compuerta “open-drain”, calcular para la resistencia mínima antes calculada cuál es el retardo t_{PLH} resultante si la compuerta “open-drain” debe manejar una carga de 50pF.

Ejercicio 9.

Se tienen dos inversores tri-state conectados en cascada (uno luego del otro). A la entrada del primero se tiene un nivel correspondiente a un 0 lógico. Completar

la tabla siguiente en la que se indica el estado de la salida del segundo inversor. E1E2, corresponden a las señales de habilitación de los inversores tri-state (1 habilitado, 0 deshabilitado).

Habilitación (E1E2) \ Tecnología	CMOS	TTL
11		
10		
01		
00		

Figura 9

Lista de ejercicios de parciales y exámenes de años anteriores recomendados para preparar parciales y/o exámenes.

- Segundo parcial de 2002. Problema 4.
- Segundo parcial de 2006. Pregunta.
- Examen Febrero de 2007. Problema 2.