

Sistemas Operativos

Práctico 9

Curso 2025

Objetivos

- Familiarizarse con memoria virtual.

Ejercicio 1 (medio) Un sistema operativo usa un sistema de memoria virtual paginada con direcciones virtuales de 32 bits y páginas de 4 KiB. La tabla de páginas reside completamente en memoria principal y el tamaño del descriptor de cada entrada de la tabla de páginas es 32 bits. El espacio virtual es único por proceso y las direcciones a partir de la dirección virtual 0 se utilizan para almacenar el área de código y el área de datos. El resto de las direcciones se destinan al espacio de pila, cuyo almacenamiento comienza en la dirección virtual más alta y crece hacia las direcciones bajas. Se ejecuta un proceso que utiliza un máximo de 16 MiB (12 MiB para almacenar el código y 4 MiB para almacenar la pila). Responda justificando adecuadamente las siguientes preguntas:

- ¿Cuánto ocupa la tabla de páginas de cada proceso?
- ¿Cuál es el porcentaje de ocupación útil (entradas ocupadas) por el proceso en la tabla de páginas?

Posteriormente, se decide usar un sistema de tablas de dos niveles. Una dirección virtual se interpreta de la siguiente manera. Los 10 bits más significativos sirven para seleccionar la entrada de la tabla de primer nivel. Esta entrada contiene el número del marco donde reside la tabla de páginas de segundo nivel. Los 10 bits siguientes se usan para seleccionar una entrada de la tabla de segundo nivel. Esta entrada contiene el número del marco donde está cargada la página. Una vez localizado el marco, solo hace falta sumarle los 12 bits del desplazamiento de la dirección virtual. Se ejecuta el mismo proceso que ocupa como máximo 16 MiB. La tabla de primer nivel siempre está cargada en memoria durante la ejecución del proceso, mientras que las tablas de segundo nivel se cargan bajo demanda..

- ¿Qué tamaño tienen las tablas?
- ¿Cuántas tablas de segundo nivel utiliza el proceso? ¿Cuáles índices de la tabla de primer nivel se ocupan?
- ¿Cuánta memoria se necesita para almacenar simultáneamente todas las tablas necesarias?

Ejercicio 2 (openFing) Se tiene una arquitectura de 48 bits con páginas de tamaño 2 MiB y con direcciones virtuales de 48 bits. Se sabe que esta arquitectura trabaja con un esquema de memoria paginado multinivel de 3 niveles.

- Determine el tamaño de los marcos del sistema.
- En general, mencione ventajas y desventajas de trabajar con páginas de tamaño grande.
- Determine la cantidad de bits necesarios para direccionar el desplazamiento dentro de una página.
- Determine la cantidad de entradas de las tablas de cada nivel, sabiendo que las tablas de todos los niveles tienen exactamente el mismo tamaño.
- Asumiendo que tenemos un proceso que requiere de 2 GiB (2^{31} bytes) para almacenar su código, datos globales en memoria y datos dinámicos, y que la memoria requerida por su pila es de 64 MiB (2^{26} bytes).
 - ¿Cuántas tablas de segundo y tercer nivel utiliza el proceso?
 - ¿Qué índices se ocupan de la tabla de primer nivel?

- (c) Realice un diagrama que muestre cómo se realiza la traducción de la siguiente dirección virtual: 10 | 30 | 68 | 14

Ejercicio 3 (medio) Se desea implementar un sistema operativo con soporte para memoria virtual. Se cuenta con un hardware con un procesador Intel 80386 con una MMU que soporta las siguientes características:

- Direcciones virtuales de 32 bit.
 - Estructura jerárquica de dos niveles de paginación.
 - Todas las tablas de páginas (primer y segundo nivel) tienen el mismo tamaño y distribución.
 - Cada tabla de página ocupa una página completa.
 - El tamaño de una página es de 4 KiB.
- (a) Determine que tamaño tiene una entrada de la tabla de páginas y especifique para qué se utiliza cada bit de una dirección virtual.
- (b) Muestre un diagrama explicando como se realiza la traducción de una dirección virtual a una física. Presente un ejemplo concreto.
- (c) Indique el tamaño máximo de memoria física utilizable por un proceso y el tamaño máximo utilizable por todo el sistema.
- (d) ¿Es posible implementar ensamblaje dinámico de bibliotecas en este sistema?
- (e) Suponga que dos procesos diferentes escriben simultáneamente en la misma dirección de memoria virtual. Discuta cuales son los posibles resultados de este evento.
- (f) Suponga que el sistema no cuenta con TLB. Calcule cuántos accesos a memoria principal son necesarios para leer a 1 byte de la memoria principal.

Ejercicio 4 (medio) Sea un sistema de paginación con paginación multinivel, direcciones virtuales de 32 bits y se cumplen los siguientes puntos:

- Utiliza paginación de memoria.
 - Las páginas son de 4K Bytes
 - Las tablas de páginas cuentan con 1K entradas y ocupan una página completa.
 - Una memoria física de 512M Bytes
- (a) Indique cuántos niveles de tabla de páginas son necesarios en este sistema. Indique el tamaño y formato de las direcciones lógicas.
- (b) Indique el tamaño de las entradas en las tablas de páginas.
- (c) ¿Qué tamaño tiene el espacio de direccionamiento virtual?
- (d) Asumiendo que tenemos un proceso que requiere de 128 MB = 2^{27} bytes para almacenar su código, datos globales en memoria y datos dinámicos, y que la memoria requerida por su pila es de 16 MB (2^{24} bytes). Determinar:
- i. ¿Cuántas tablas utiliza el proceso?
 - ii. ¿Qué índices se utilizan en cada tabla?

Ejercicio 5 (avanzado)

Se tiene una arquitectura que maneja direcciones de memoria de 32 bits e implementa un mecanismo jerárquico de dos niveles para la paginación de memoria. Cada dirección de memoria virtual cuenta con 8 bits para la tabla de primer nivel, 8 bits para la tabla de segundo nivel y 16 bits para el desplazamiento. Cada entrada de tabla de páginas tiene un tamaño de 32 bits: los primeros 16 bits son utilizados para la dirección de la página, los siguientes 15 bits son utilizados para mecanismos de control (e.g. permiso lectura/escritura, marca accedido/modificado, etc.) y el último bit es el valid-invalid bit. Si el valid-invalid bit es 0 y la página se encuentra en el swap, entonces los primeros 16 bits de la entrada indican la ubicación de la página en el disco. Si el valid-invalid bit es 0 y los primeros 16 bits también son 0, entonces la página no es parte del espacio de memoria del proceso. En este sistema el acceso a una palabra de 32 bits en memoria principal requiere 100 ns (100×10^{-9} s), el tiempo de búsqueda en la TLB requiere 12 ns (12×10^{-9} s) y el tiempo de resolución de un fallo de página es de 15 ms (15×10^{-3} s).

- (a) Realice un esquema donde se muestre el mecanismo de traducción de una dirección virtual a una dirección física en la arquitectura planteada, mostrando los principales componentes de hardware que participan en la traducción.
- (b) Se tiene un proceso en ejecución, P1, con el estado de memoria indicado en la figura 1.

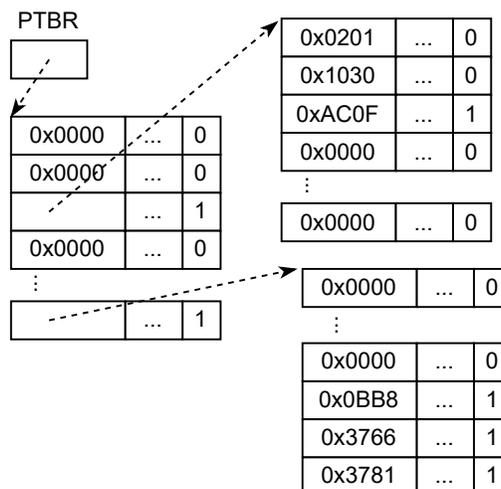


Figura 1: Estado inicial de la memoria del proceso P1.

- i. Calcule el espacio de memoria virtual asignado al proceso en bytes.
 - ii. Calcule la memoria residente del proceso en bytes.
 - iii. Indique qué sucede, en cada caso, si el proceso accede a alguna de las direcciones virtuales: **0x0200F0F1**, **0x02020C01** y **0x02FF0001**.
 - iv. Dada la siguiente secuencia de accesos a direcciones virtuales: **0x0201A111**, **0x0201F00B** y **0x0202F301**. Calcule el tiempo total requerido para resolver estos pedidos. Suponga que la memoria TLB se encuentra vacía, y que la TLB y la memoria principal no requerirán de la ejecución del algoritmo de reemplazo durante la ejecución del proceso.
- (c) Suponga ahora otro proceso en ejecución, P2, con el siguiente requerimiento de memoria: 2 GiB de memoria para los segmentos de código, datos y heap, y 3 MiB para el segmento de stack. Calcule cuántas páginas de memoria son necesarias para este proceso (incluya en el cálculo las páginas usadas para la tabla de páginas).
- (d) Suponga un estado del sistema en el que se tiene un hit ratio de 0,8 de la TLB. Calcule el tiempo promedio de acceso efectivo a memoria en esta situación para un proceso que cuenta con toda sus páginas residentes en memoria.

Ejercicio 6 (avanzado) Sea un sistema que implementa memoria virtual con paginación bajo demanda. En este sistema, los procesos pueden direccionar hasta 2 GiB de memoria (i.e. 2^{31} bytes). Además, la traducción de una dirección se realiza a través de cuatro niveles de tabla de página. Cada entrada de la tabla de páginas es de 32 bits y se desea que la tabla de página de primer nivel ocupe sólo una página y completamente. Las tablas del resto de los niveles contienen la misma cantidad de entradas. Finalmente, los marcos en memoria principal tienen un tamaño de 4096 bytes.

Se pide:

- Determine el formato de las direcciones virtuales. Justificando adecuadamente cada una de sus partes.
- Asumiendo que el sistema cuenta con una cache TLB que no contiene 'cacheado' ningún valor y que no cuenta con otras memorias cache entre el procesador y la memoria principal, determine la cantidad de accesos a memoria necesarios para leer un arreglo de 40.000 bytes:

```
var arreglo : array[0..39999] of byte;
for (i = 0; i < 40000; i++)
    arreglo[i] = i % 256;
```

Asuma que la dirección de comienzo de la variable `arreglo` es al principio de una página y que la variable `i` está guardada en un registro de CPU (no tome en cuenta sus accesos).

- El sistema tiene una estrategia de asignación de memoria local y utiliza un algoritmo de reemplazo LRU (Least Recently Used). Se tiene un proceso P que no tiene ninguna página en memoria principal y al que se le asignan 4 marcos para utilizar. Muestre, mediante un esquema en el tiempo, los fallos de páginas y el estado de la memoria si dicho proceso realiza los siguientes accesos:

Tiempo	Primer nivel	Segundo nivel	Tercer nivel	Cuarto nivel	Desplazamiento
t1	10	1	1	1	4
t2	10	1	2	1	1
t3	10	2	1	2	4
t4	12	2	2	2	2
t5	12	2	2	1	2
t6	10	1	2	1	2
t7	12	2	2	1	4
t8	10	1	1	1	2

Ejercicio 7 (avanzado) Se tiene un sistema operativo con soporte para memoria virtual con las siguientes características:

- Se utiliza un modelo de paginación bajo demanda .
 - El hardware y el sistema operativo utilizan direcciones de memoria de 24 bits.
 - El tamaño de cada página es de 256 bytes.
 - La MMU es configurable y puede trabajar con tablas de páginas con estructura jerárquica de dos o cuatro niveles.
 - En cada configuración, todos los niveles indexan la misma cantidad de entradas por tabla.
 - Cada entrada de la tabla de páginas ocupa 24 bits.
- (a) Describa qué es la MMU y para qué se utiliza.
- (b) Determine cómo se distribuyen los bits de la dirección virtual cuando se utiliza una estructura jerárquica de dos y de cuatro niveles. Indique para qué se utiliza cada parte de la dirección virtual en cada caso.
- (c) ¿Cuál es la cantidad máxima de memoria virtual que puede ser asignada a un proceso en cada uno de los niveles jerárquicos soportados?
- (d) Suponga un proceso con la máxima cantidad de memoria virtual asignada y otro con tan solo una página asignada. Indique cuántos bytes de memoria utilizaría el sistema operativo para sus tablas de páginas dependiendo de la cantidad de niveles jerárquicos utilizados.
- (e) Suponga que la TLB se encuentra vacía, ¿cuántos accesos a memoria principal requiere un proceso para leer un byte de memoria principal a partir de una dirección virtual en cada uno de los niveles jerárquicos soportados?
- (f) Discuta y justifique en qué casos utilizaría una estructura jerárquica de dos niveles para los procesos de un sistema, y en qué casos utilizaría una de cuatro niveles.
- (g) Suponga ahora que la MMU brinda un tercer modo de funcionamiento que consiste en una estructura jerárquica de dos niveles con las mismas características que antes pero con un tamaño de página de 64 KiB (2^{16} bytes). Determine cómo se distribuyen los bits de la dirección virtual en este caso, y discuta en qué caso sería conveniente utilizar esta estructura en lugar de las dos anteriores y en qué casos no lo sería.