

Electrónica Avanzada 2

Práctico 3 Amplificadores Integrados CMOS

Los ejercicios marcados con ★ son opcionales. Además cada ejercicio puede tener una fecha, que indica en que prueba se planteó el ejercicio.

Objetivo: Este práctico tiene como objetivo familiarizar al estudiante con las técnicas de diseño y análisis vistas en clase para Amplificadores Integrados CMOS.

Ejercicio 1

- Para el circuito de la figura 1 determine la ganancia diferencial $v_o/(v_1-v_2)$ si la fuente IBIAS vale $100\mu A$.
- Determine el ICMR si la fuente de corriente *IBIAS* precisa al menos $200mV$ para trabajar.
- Asumiendo que la fuente de corriente tiene una impedancia de salida de $1M\Omega$ y que el espejo M3-M4 comete un error en la copia de 1%, ¿cuál es el CMRR del amplificador?.

Todos los transistores tienen $L = 1\mu m$, los transistores del par diferencial tienen $W_n = 50\mu m$ y los del espejo $W_p = 100\mu m$.

Datos de la tecnología:

- $V_{tn} = |V_{tp}| = 0.8V$, $n_n = n_p = 1.4$.
- $\mu_n C_{ox} = 125\mu A/V^2$, $\mu_p C_{ox} = 60\mu A/V^2$
- $V'_{An} = 12.5V/\mu m$, $V'_{Ap} = 25V/\mu m$

Ejercicio 2

El circuito de la figura 2 se denomina Amplificador de Transconductancia Simétrico.

- Demuestre que la transconductancia de cortocircuito está determinada por la transconductancia del par diferencial y por la ganancia del espejo (M).
- Calcule la ganancia a baja frecuencia, la frecuencia de ganancia unitaria f_T y el *SR* del mismo.
- Compare el Output Swing de esta configuración con el del circuito del Ejercicio 1

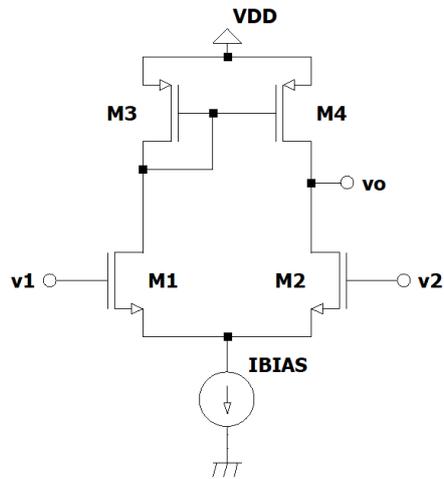


Figura 1

- (d) Evalúe los resultados de las partes anteriores usando los datos de tecnología, tamaños y corriente del Ejercicio 1 y que $M = 10$, $C_L = 100pF$ y $VDD = |VSS| = 3V$

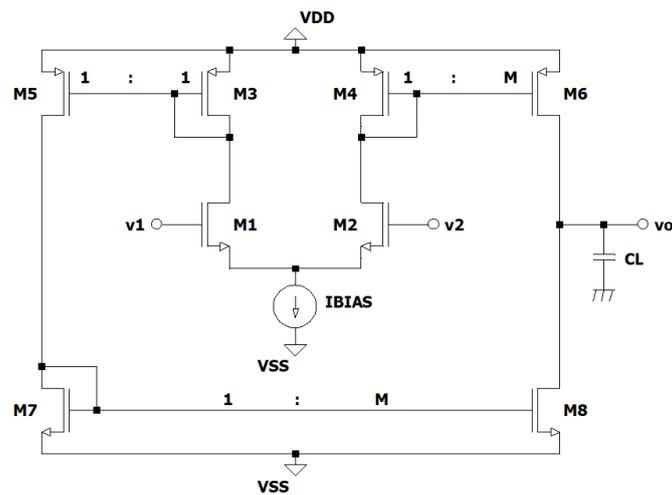


Figura 2

Ejercicio 3

Dibuje un amplificador de dos etapas como el visto en el curso pero utilice transistores nMOS para el par diferencial y un transistor pMOS para el amplificador source-común de la segunda etapa.

- (a) Determine la expresión para la ganancia a bajas frecuencias, el ICMR y el Output Swing. ¿Hay diferencias con las expresiones halladas en el curso?

- (b) En el amplificador de la figura 5.1 calcular la corriente de polarización del par diferencial $I_{P,adapt}$ en función de I_p , A y de I_1 e I_2 indicadas en la figura. Asuma que $A < 1$.
- (c) El amplificador de la figura 5.1 se conecta como seguidor como se muestra en la figura 5.3. En $t = 0$ se aplica en la entrada no inversora un escalón de amplitud V_{step} mucho mayor que su rango lineal de entrada. Calcular la pendiente en $t = 0$ de la tensión a la salida. ¿Cómo se compara este resultado con el slew rate calculado en el Ejercicio 2 para $A = 0.9$?

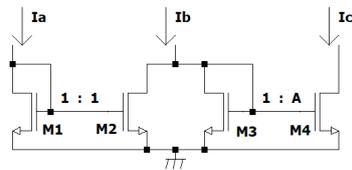


Figura 5.2

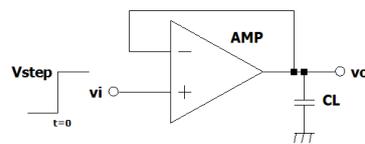


Figura 5.3

Ejercicio 6

- (a) Para el amplificador Folded-Cascode de la figura 6, calcule el ICMR si todos los transistores tienen un $|V_t| = 1V$ y las fuentes de corrientes $IB1$ e $IB2$ son tales que los mismos están polarizados con una tensión $V_{GS} - V_t = 0.2V$. Considere que la fuente $IB1$ precisa al menos $100mV$ entre sus bornes para funcionar y que $VBIAS$ es tal que las fuentes de corriente $IB2$ están polarizadas con una tensión entre sus bornes igual a $150mV$.

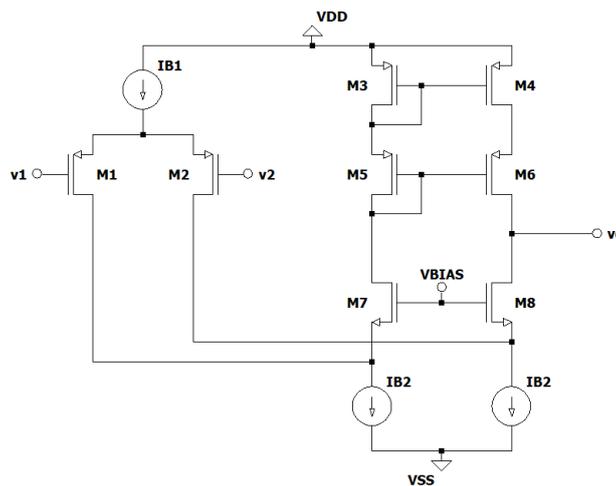


Figura 6

$$i_4 = i_3(1 - \epsilon_D)$$

Demuestre que las expresiones para esos errores se pueden aproximar como:

$$\epsilon_D \simeq \frac{1}{gm_M r_{oD}}$$

$$\epsilon_M \simeq \frac{1}{gm_M r_{oM}}$$

donde $gm_{D(M)}$ y $r_{oD(M)}$ son la transconductancia y la resistencia de salida de los transistores del par diferencial (del espejo). Puede asumir que $gmro \gg 1$ en todos los casos y que ambos transistores del par diferencia y del espejo son respectivamente iguales entre ellos.

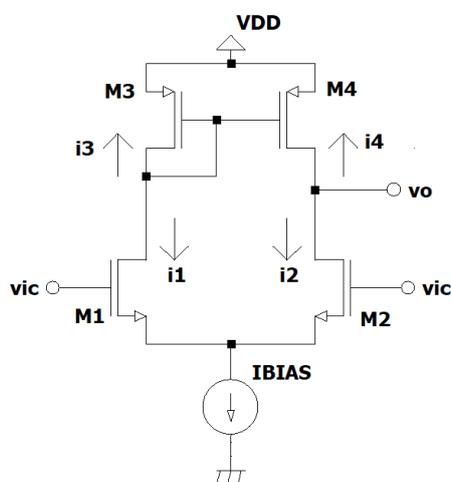


Figura 8

Ejercicio 9

Se desea diseñar un amplificador de dos etapas como el de la figura 9. El mismo usará los datos de la tecnología vistos en el Ejercicio 1 y los siguientes datos: $L = 2\mu m$ para todos los transistores, $W_7 = 5W_5 = 5W_8$, $(gm/ID)_1 = 5V^{-1}$, $C_C = 1pF$, $C_2 = 3pF$, $C_1 = 0.5pF + kW_1$ donde $k = 80fF/\mu m$.

- Dimensione el W de todos los transistores y determine el valor de $IBIAS$ y el consumo total del circuito si se desea obtener un $f_T = 10MHz$, tensión de offset sistemático a la entrada cero y Output Swing $VDD - 0.2V$, $VSS + 0.2V$. ¿Cuál es la ganancia a bajas frecuencias del amplificador?
- ¿Cómo cambia el consumo total del circuito si ahora usamos $(gm/ID)_1 = 10V^{-1}$?
- Si la posición relativa del polo no dominante del sistema de 2do orden que forma el amplificador se puede aproximar como:

$$NDP = \frac{gm_6}{gm_1} \frac{C_C^2}{C_1 C_2 + C_C(C_1 + C_2)}$$

y despreciamos la influencia del cero en el RHP que genera C_C , estime el Margen de Fase (PM) en los dos casos diseñados.

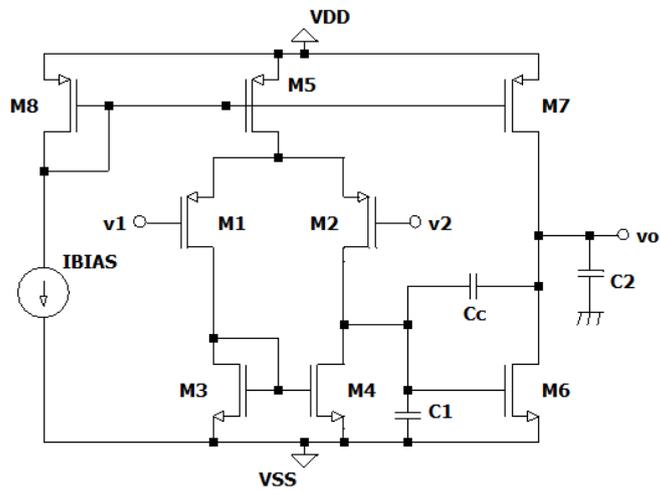


Figura 9

Solución

Ejercicio 1

(a) $A_D = 111.4V/V = 40.9dB$

(b) $ICM_{max} = VDD - 0.44V$
 $ICM_{min} = 1.15V$

(c) $CMRR = 102.5dB$

Ejercicio 2

(a) $Gm = Mgm1$

(b) $A_0 = Mgm1(ro6//ro8)$

$$ro6 = \frac{V'_{Ap} Lp}{M \frac{I_{BIAS}}{2}}, ro8 = \frac{V'_{An} Ln}{M \frac{I_{BIAS}}{2}}$$

$$f_T = \frac{1}{2\pi} \frac{Mgm1}{CL}$$

$$SR = \frac{MI_{BIAS}}{CL}$$

(c) $OSW = \{VSS + VD_{sat8}, VDD - VD_{sat6}\}$

$$VD_{sat8} = \sqrt{\frac{2M \frac{I_{BIAS}}{2}}{n\beta_n}}$$

$$VD_{sat6} = \sqrt{\frac{2M \frac{I_{BIAS}}{2}}{n\beta_p}}$$

(d) $A_D = 132V/V$

$$f_T = 12.6MHz$$

$$SR = 10V/\mu s$$

$$OSW = \{-2.66, 2.65\}$$

Ejercicio 3

(a) Las expresiones son las mismas, excepto que las de Output Swing e ICMR quedan invertidas.

(b) $V_{OFF} = 0.2mV$

Ejercicio 4

(b) $v_{OFF} = \frac{ID_{PD}}{gm_{PD}} \left(\frac{\Delta\beta_{PD}}{\beta_{PD}} + \frac{\Delta\beta_M}{\beta_M} \right) + \Delta V_{tPD} + \frac{gm_M}{gm_{PD}} \Delta V_{tM}$

(c) $v_{OFF} = 28mV$

Si duplicamos el W/L de los transistores del espejo: $v_{OFF} = 32.1mV$

Ejercicio 5

(a) $Con I_c = \begin{cases} 0 & \text{si } I_a \geq I_b \\ A(I_b - I_a) & \text{si } I_a < I_b \end{cases}$

(b) $I_{P,adapt} = I_P + A|I_1 - I_2|$

(c) $SR = \frac{M \cdot I_p}{(1-A)C_L}$

Ejercicio 6

(a) $ICM_{max} = VDD - 1.30V$
 $ICM_{min} = VSS - 1.05V$

Ejercicio 7

Transistor	$W(\mu m)$	$ID(\mu A)$
M1,M2	14.6	50
M5	26.4	100
M6	13.2	50
M3,M4,M3C,M4C	170.5	50
M7,M8	77.8	100
M7C,M8C	77.8	50

$VBIAS = 1.83V$

Ejercicio 9

(a)

Transistor	$W(\mu m)$	$ID(\mu A)$
M1,M2	7.33	12.6
M3,M4	7.18	12.6
M5,M8	30	25.2
M7	149.6	125.6
M6	71.8	125.6

$IBIAS = 25.2\mu A$

$IDD = 176\mu A$

$A_0 = 79.9dB$

(b) El consumo baja: $IDD = 88\mu A$

Transistor	$W(\mu m)$	$ID(\mu A)$
M1,M2	14.7	6.3
M3,M4	3.6	6.3
M5,M8	15	12.6
M7	75	62.8
M6	35.9	62.8

$IBIAS = 12.6\mu A$

(c)

	$C1(pF)$	NDP	$PM(deg)$
(a)	1.09	1.95	62.8
(b)	1.67	0.74	36.4