

Electrónica Avanzada 2

Práctico 3 Amplificadores Integrados CMOS

Los ejercicios marcados con ★ son opcionales. Además cada ejercicio puede tener una fecha, que indica en que prueba se planteó el ejercicio.

Objetivo: Este práctico tiene como objetivo familiarizar al estudiante con las técnicas de diseño y análisis vistas en clase para Amplificadores Integrados CMOS.

Ejercicio 1

- Para el circuito de la figura 1 determine la ganancia diferencial $v_o/(v_1-v_2)$ si la fuente IBIAS vale $100\mu A$.
- Determine el ICMR si la fuente de corriente *IBIAS* precisa al menos $200mV$ para trabajar.
- Asumiendo que la fuente de corriente tiene una impedancia de salida de $1M\Omega$ y que el espejo M3-M4 comete un error en la copia de 1%, ¿cuál es el CMRR del amplificador?.

Todos los transistores tienen $L = 1\mu m$, los transistores del par diferencial tienen $W_n = 50\mu m$ y los del espejo $W_p = 100\mu m$.

Datos de la tecnología:

- $V_{tn} = |V_{tp}| = 0.8V$, $n_n = n_p = 1.4$.
- $\mu_n C_{ox} = 125\mu A/V^2$, $\mu_p C_{ox} = 60\mu A/V^2$
- $V'_{An} = 12.5V/\mu m$, $V'_{Ap} = 25V/\mu m$

Ejercicio 2

El circuito de la figura 2 se denomina Amplificador de Transconductancia Simétrico.

- Demuestre que la transconductancia de cortocircuito está determinada por la transconductancia del par diferencial y por la ganancia del espejo (M).
- Calcule la ganancia a baja frecuencia, la frecuencia de ganancia unitaria f_T y el *SR* del mismo.
- Compare el Output Swing de esta configuración con el del circuito del Ejercicio 1

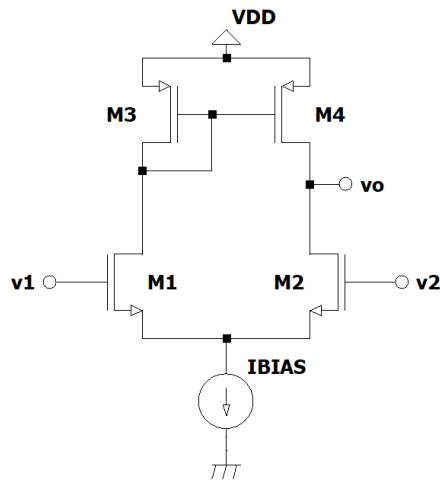


Figura 1

- (d) Evalúe los resultados de las partes anteriores usando los datos de tecnología, tamaños y corriente del Ejercicio 1 y que $M = 10$, $C_L = 100pF$ y $VDD = |VSS| = 3V$

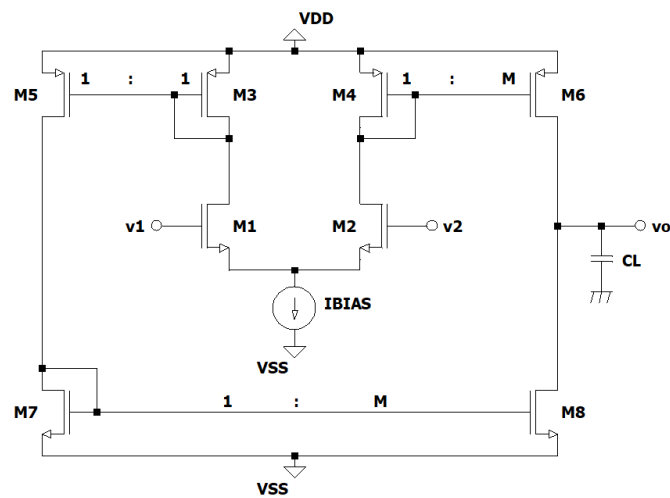


Figura 2

Ejercicio 3

Dibuje un amplificador de dos etapas como el visto en el curso pero utilice transistores nMOS para el par diferencial y un transistor pMOS para el amplificador source-común de la segunda etapa.

- (a) Determine la expresión para la ganancia a bajas frecuencias, el ICMR y el Output Swing. ¿Hay diferencias con las expresiones halladas en el curso?

- (b) Asuma que los todos transistores tienen un $V_A = 50V$, la corriente de polarización del par diferencial es $40\mu A$ y su $V_{GS} - V_t = 0.2V$, la tensión V_{SG} del espejo de la primera etapa es $1.2V$ y la del amplificador source-común de la segunda etapa es $1.1V$, ¿cuál es la tensión de offset a la entrada?

Ejercicio 4

- (a) Si modelamos la variaciones aleatorias en el V_t y en el β entre dos transistores idénticos como ΔV_t y $\frac{\Delta\beta}{\beta}$, demuestre que la diferencia relativa en la corriente I_D se puede escribir como:

$$\frac{\Delta I_D}{I_D} = \frac{\Delta\beta}{\beta} - \frac{gm}{I_D} \Delta V_t$$

- (b) Utilice el resultado de la parte anterior para calcular la tensión de offset a la entrada de un amplificador de dos etapas como el visto en el curso debido a las variaciones aleatorias en los parámetros de los transistores. Recuerde que las variaciones en V_t y β pueden tener cualquier signo, por lo que considere el peor caso.
- (c) Para un amplificador con $V_{GS} - V_t = 0.2V$ en el par diferencial y el mismo β nominal en todos sus transistores, determine el peor caso de tensión de offset si $\Delta V_t = 10mV$ y $\frac{\Delta\beta}{\beta} = 4\%$. Si duplicamos el W/L de los transistores del espejo de corriente, ¿el offset empeora o mejora? ¿Cuánto vale ahora?

Ejercicio 5

El circuito de la figura 5.1 es un amplificador que adapta la corriente de polarización del par diferencial en función de la señal de entrada.

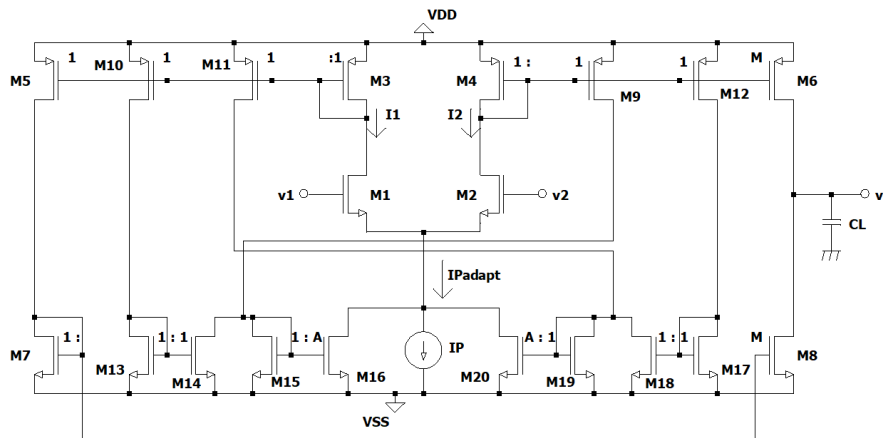


Figura 5.1

- (a) En el circuito de la figura 5.2 calcular I_c en función de I_a , I_b y A (factor de copia de corriente del espejo que se indica en la figura), analizando los casos $I_a < I_b$ e $I_a > I_b$.

- (b) En el amplificador de la figura 5.1 calcular la corriente de polarización del par diferencial $I_{P,adapt}$ en función de I_p , A y de I_1 e I_2 indicadas en la figura. Asuma que $A < 1$.
- (c) El amplificador de la figura 5.1 se conecta como seguidor como se muestra en la figura 5.3. En $t = 0$ se aplica en la entrada no inversora un escalón de amplitud V_{step} mucho mayor que su rango lineal de entrada. Calcular la pendiente en $t = 0$ de la tensión a la salida. ¿Cómo se compara este resultado con el slew rate calculado en el Ejercicio 2 para $A = 0.9$?

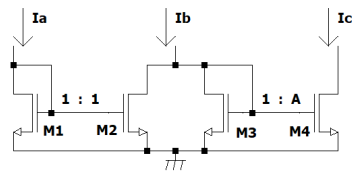


Figura 5.2

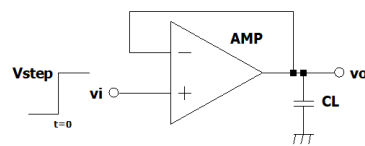


Figura 5.3

Ejercicio 6

- (a) Para el amplificador Folded-Cascode de la figura 6, calcule el ICMR si todos los transistores tienen un $|V_t| = 1V$ y las fuentes de corrientes $IB1$ e $IB2$ son tales que los mismos están polarizados con una tensión $V_{GS} - V_t = 0.2V$. Considere que la fuente $IB1$ precisa al menos $100mV$ entre sus bornes para funcionar y que $VBIAS$ es tal que las fuentes de corriente $IB2$ están polarizadas con una tensión entre sus bornes igual a $150mV$.

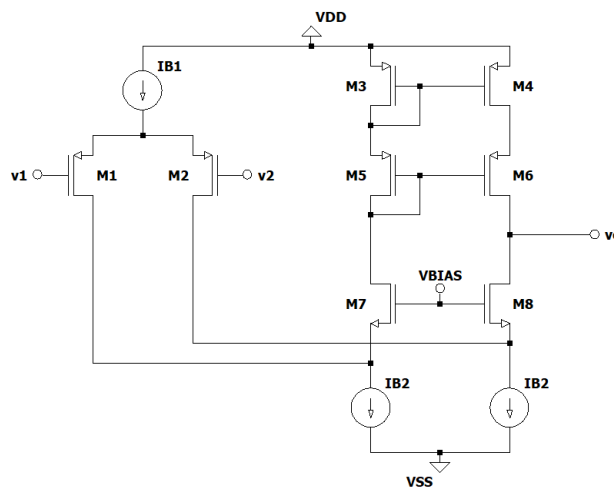


Figura 6

Ejercicio 7

En el amplificador Folded-Cascode de la figura 7, determine el W y la I_D de todos los transistores y el valor de V_{BIAS} para obtener las siguientes características:

- $SR = 20V/\mu s$
- $f_T = 8MHz$
- Output Swing: $> \pm 1.5Vp$
- ICMR: $1.0V - V_{SS}$
- $L = 1\mu m$

Datos:

- $V_{DD} = -V_{SS} = 2.5V$, $I_{BIAS} = 50\mu A$, $C_L = 5pF$
- Todos los transistores cascode son iguales a los transistores que casocdean ($M_{XC} = M_X$)
- Los datos de la tecnología son los mismos que en el Ejercicio 1.

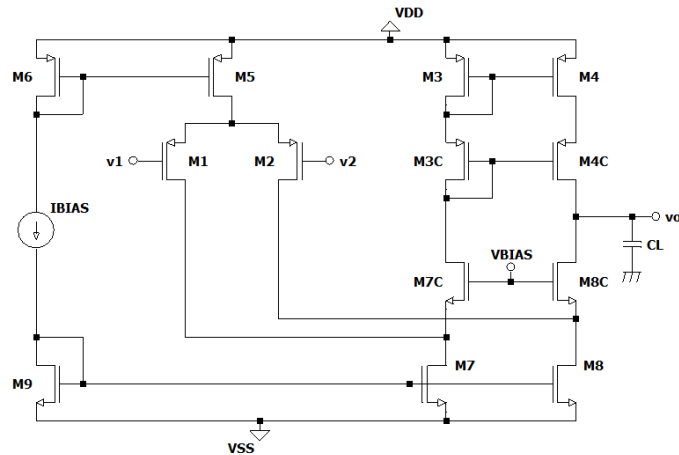


Figura 7

Ejercicio 8 (★)

La transconductancia de cortocircuito de modo común del circuito de la figura 8 se puede modelar como:

$$G_{mC} = \frac{i_2}{v_{ic}} (\epsilon_d + \epsilon_m)$$

donde $\epsilon_d \ll 1$ y $\epsilon_m \ll 1$ modelan el error que cometen el par diferencial M1-M2 y el espejo de corriente M3-M4 debido a las resistencias de salida finitas en los transistores de la siguiente forma:

$$i_1 = i_2(1 - \epsilon_D)$$

$$i_4 = i_3(1 - \epsilon_D)$$

Demuestre que las expresiones para esos errores se pueden aproximar como:

$$\epsilon_D \simeq \frac{1}{gm_M r_{oD}}$$

$$\epsilon_M \simeq \frac{1}{gm_M r_{oM}}$$

donde $gm_{D(M)}$ y $r_{oD(M)}$ son la transconductancia y la resistencia de salida de los transistores del par diferencial (del espejo). Puede asumir que $gmro \gg 1$ en todos los casos y que ambos transistores del par diferencia y del espejo son respectivamente iguales entre ellos.

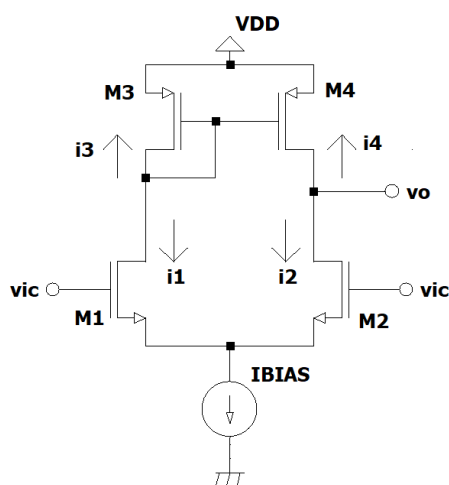


Figura 8

Ejercicio 9

Se desea diseñar un amplificador de dos etapas como el de la figura 9. El mismo usará los datos de la tecnología vistos en el Ejercicio 1 y los siguientes datos: $L = 2\mu m$ para todos los transistores, $W_7 = 5W_5 = 5W_8$, $(gm/ID)_1 = 5V^{-1}$, $C_C = 1pF$, $C_2 = 3pF$, $C_1 = 0.5pF + kW_1$ donde $k = 80fF/\mu m$.

- Dimensione el W de todos los transistores y determine el valor de $IBIAS$ y el consumo total del circuito si se desea obtener un $f_T = 10MHz$, tensión de offset sistemático a la entrada cero y Output Swing $VDD - 0.2V$, $VSS + 0.2V$. ¿Cuál es la ganancia a bajas frecuencias del amplificador?
- ¿Cómo cambia el consumo total del circuito si ahora usamos $(gm/ID)_1 = 10V^{-1}$?
- Si la posición relativa del polo no dominante del sistema de 2do orden que forma el amplificador se puede aproximar como:

$$NDP = \frac{gm_6}{gm_1} \frac{C_C^2}{C_1 C_2 + C_C(C_1 + C_2)}$$

y despreciamos la influencia del cero en el RHP que genera C_C , estime el Margen de Fase (PM) en los dos casos diseñados.

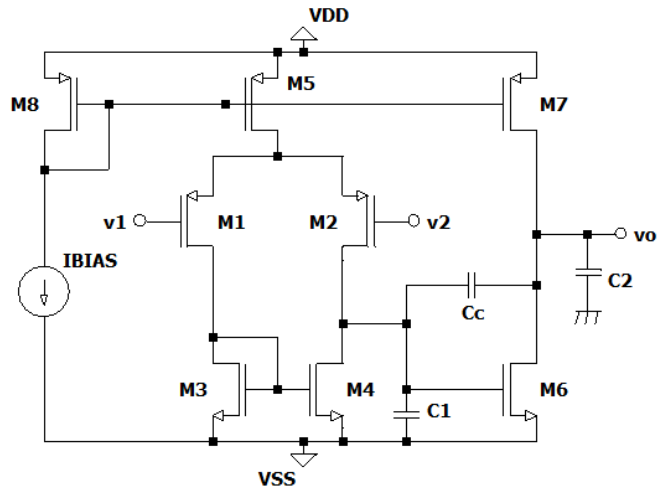


Figura 9